

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-186480

(43)Date of publication of application : 23.10.1984

(51)Int.Cl.

H04N 5/30

(21)Application number : 58-060830

(71)Applicant : FUJI PHOTO FILM CO LTD

(22)Date of filing : 08.04.1983

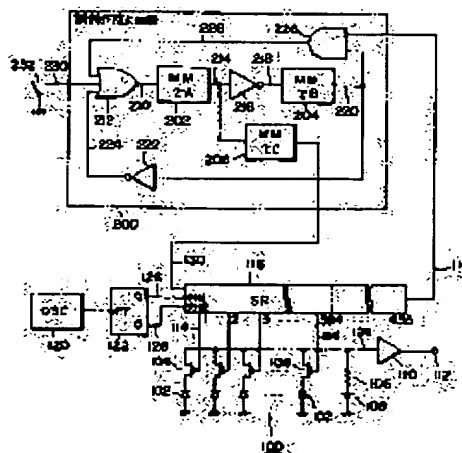
(72)Inventor : KANTANI MASASHI  
KONISHI MASAHIRO

## (54) SOLID-STATE IMAGE PICKUP DEVICE

### (57)Abstract:

**PURPOSE:** To obtain an excellent video signal of good picture quality through relatively simple circuit constitution by circulating driving pulses by a circulation control circuit which uses a shift register for driving a reading circuit.

**CONSTITUTION:** Clocks  $\phi$ H1 and  $\phi$ H2 are supplied to clock inputs 126 and 128 of the shift register, so a pulse inputted from an input 130 advances in respective stages of the shift register 116 by the clocks. A transistor (TR) 104 is energized successively to read an image signal of an image pickup cell out to an output 112 successively. When the pulse advances to the 384th stage of the shift register 116, and consequently an image signal for one horizontal scanning line share is outputted. Thus, the video period ends, but the shift register 116 still performs advancing operation and this pulse advances to the final stage, i.e. the 455th stage, thereby outputting a pulse from an output 118.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Best Available Copy

(4) Japanese Patent Application Laid-Open No. 59-186480 (1984)

**“SOLID-STATE IMAGE DEVICE”**

The following is an English translation of an extract of the above application.

5           It becomes possible to simplify a driving circuit because a driving pulse is  
circulated by means of a circulation control circuit using a shift register for driving a  
reading circuit. Furthermore, it is possible to form various control signals required for  
processing an image signal using a shift register for driving/scanning an image sensor, and  
thus only an oscillator generating a single frequency is needed. Especially, even when  
10 driving a two-dimensional image sensor, it is not necessary to provide additional divider.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—186480

⑤ Int. Cl.<sup>3</sup>  
H 04 N 5/30

識別記号

庁内整理番号  
6940—5C

⑬ 公開 昭和59年(1984)10月23日

発明の数 1  
審査請求 未請求

(全 9 頁)

⑭ 固体撮像装置

① 特 願 昭58—60830

② 出 願 昭58(1983)4月8日

③ 発 明 者 乾谷正史

神奈川県足柄上郡開成町宮台79

8番地富士写真フイルム株式会  
社内

④ 発 明 者 小西正弘

神奈川県足柄上郡開成町宮台79

8番地富士写真フイルム株式会  
社内

⑤ 出 願 人 富士写真フイルム株式会社

南足柄市中沼210番地

⑥ 代 理 人 弁理士 香取孝雄

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

1. 複数の撮像セルが配列されたアレイと、

該撮像セルから画像信号を読み出す読出し回路と、

該読出し回路に対応した複数のレジスタ段とを有し、パルスが歩進することによって該読出し回路を順次付勢し、これによってラスタ走査に対応した有効映像信号を該読出し回路から出力させるシフトレジスタ回路を含む固体撮像装置において、

該シフトレジスタ回路を歩進した後のパルス出力を帰線期間遅延させる遅延回路を介して該シフトレジスタ回路のパルス入力端子に入力して巡回させる制御回路を有することを特徴とする固体撮像装置。

2. 特許請求の範囲第1項記載の装置において、

該制御回路は、前記遅延回路の出力から映像信

号の形成に必要な制御信号を形成する信号形成回路を含むことを特徴とする固体撮像装置。

3. 特許請求の範囲第2項記載の装置において、

該制御信号は同期信号、ブランキング信号及びクランプ信号の少なくとも1つを含むことを特徴とする固体撮像装置。

4. 特許請求の範囲第1項記載の装置において、

該遅延回路は前記シフトレジスタの最終段に連続した複数のレジスタ段から成る第2のシフトレジスタにより構成されていることを特徴とする固体撮像装置。

5. 特許請求の範囲第1項記載の装置において、

前記制御回路は、前記シフトレジスタ回路の入力端子にパルスを入力してから第1の所定の時間、及び第1の所定の時間よりも長い第2の所定の時間を監視する誤動作防止回路を含み、

該制御回路は、第1の所定の時間経過後第2の所定の時間経過前に誤動作防止回路にパルスが入力された時は該シフトレジスタ回路の入力端子にパルスを入力させ、第1の所定の時間の経過前に

該誤動作防止回路にパルスが入力されたときはパルスが該シフトレジスタ回路の入力端子に入力されるのを禁止し、第2の所定の時間の経過までに該誤動作防止回路にパルスが入力されないときは第2の所定の時間の経過に同期して該シフトレジスタ回路の入力端子にパルスを入力させるように構成したことを特徴とする固体撮像装置。

6. 特許請求の範囲第1項乃至第4項のいずれかに記載の装置において、

前記アレイは撮像セルが水平行および垂直列の2次元に配列された2次元アレイであり、

前記読出し回路は、撮像セルを水平行ごとに選択する第1のスイッチ手段と、第1のスイッチ手段で選択された撮像セルから画像信号を読み出す第2のスイッチ手段とを含み、

前記シフトレジスタ回路は、第1のスイッチ手段を順次付勢する垂直シフトレジスタ回路と、第2のスイッチ手段を順次付勢する水平シフトレジスタ回路とを含み、

該垂直シフトレジスタ回路は該水平シフトレジ

スタ回路の出力に応動してパルスを歩進させ、

前記制御回路は、該水平シフトレジスタ回路を歩進した後のパルス出力を水平帰線期間遅延させる遅延回路を介して、該水平シフトレジスタ回路のパルス入力端子に入力して巡回させる水平制御回路と、該垂直シフトレジスタ回路を歩進した後のパルス出力を垂直帰線期間遅延させる遅延回路を介して、該垂直シフトレジスタ回路のパルス入力端子に入力して巡回させる垂直制御回路とを含むことを特徴とする固体撮像装置。

7. 特許請求の範囲第6項記載の装置において、

該水平制御回路はその遅延回路の出力から映像信号の形成に必要な制御信号を形成する信号形成回路を含んでおり、この信号形成回路は、水平同期パルス、水平ブランキングパルス、クランプパルス及び垂直シフトレジスタ駆動クロックパルスの少なくとも1つを含む制御信号を形成することを特徴とする固体撮像装置。

8. 特許請求の範囲第8項記載の装置において、

該垂直制御回路はその遅延回路の出力から映像

信号の形成に必要な制御信号を作成する信号形成回路を含んでおり、この信号形成回路は垂直同期パルス及び垂直ブランキングパルスの少なくとも1つを含む制御信号を形成することを特徴とする固体撮像装置。

### 3. 発明の詳細な説明

#### 技術分野

本発明は固体撮像装置、より具体的には、固体撮像デバイスをクロック駆動してラスタ走査に対応する有効映像信号を出力する固体撮像装置に関するものである。

#### 背景技術

周知のように固体撮像デバイスに固有の問題として、デバイス内部で発生する固定パターン雑音と、デバイス外部の駆動回路に起因する同期性雑音がある。前者については従来から詳しい分析がなされ、その対策が多く提案されているが、後者については回路の実装技術で対処していたにすぎない。

固体撮像デバイスの駆動回路は、要求される最

も高い、たとえば14.318MHzの原発振周波数を分周して様々な駆動クロックや同期信号などの映像信号形成用制御信号を作成している。この分周は、帰線期間以外の期間、すなわち映像信号期間中にも行なわれる。したがって、とくに複数のカウンタが一斉に切り換わるような時には、分周回路およびそれに接続されている論理回路に多量のパルス電流が流れ、これが様々な経路を経て映像信号に混入することになる。これによって同期性雑音が発生し、再生画像の画質の低下をもたらす。

このような同期性雑音は、回路実装上のテクニックだけでは十分に回避しきれない。そこで、映像期間中は分周回路を停止させ、帰線期間中のみ動作させる駆動回路が提案されている(佐藤他による「同期性雑音を除去した固体カメラ用駆動パルス発生回路」テレビジョン学会1981年全国大会予集第103～104頁)。しかしこの駆動回路は、映像期間に分周を停止させるためにカウンタ制御回路を設けるなど回路構成が複雑になるさら

いがある。

同期性検査は分周回路が雑音源であるため、分周回路を用いる代りに、1水平走査(1H)期間で巡回するように設定されたシフトレジスタを用いたリングカウンタを使用し、そのカウンタの帰線期間に相当する複数の段の出力からデコードによって各種の信号を作成する提案がある(西澤他による「固体カラーカメラ用新同期回路」テレビジョン学会1982年全国大会予稿集第81~82頁)。

後者の提案の回路は勿論、MOS型イメージセンサに接続することによって該MOS型イメージセンサを駆動するための駆動回路として用いることができる。しかしながら、MOS型イメージセンサにはその有効映像期間に相当するシフトレジスタ回路が読出し回路の駆動用に設けられており、従って上記の駆動回路をMOS型イメージセンサに接続して用いた場合には少なくとも上記有効映像期間に相当するレジスタ段を重複して構成することとなり、回路も複雑で高価なものとなる。

更に、このような駆動回路を実現するための同

題として、この駆動回路の信頼性を高めるためには、巡回するパルスの誤動作を監視し、補償する必要がある。例えば全「0」検出や複数パルス検出などの回路を設ける必要がある。しかしながらたとえ上記の駆動回路の誤動作を防止することができても、これが直ちにMOS型イメージセンサの読出し回路駆動用のシフトレジスタにおいて正しいパルス駆動を保證することとはならない。即ち、上記の駆動回路では、たとえ上記の誤動作防止回路を設けたとしても、MOS型イメージセンサからの読出し誤動作を直接監視し、補償することは不可能である。

#### 目 的

本発明はこのような従来技術の欠点を解消し、比較的簡略な回路構成で良好な画質の映像信号が得られる固体撮像装置を提供することを目的とする。

本発明はより具体的には、同期性検査がなく、誤動作のない簡略な構成の固体撮像装置を提供することにある。

#### 発明の開示

本発明の固体撮像装置は、複数の撮像セルが配列されたアレイと、該撮像セルから画像信号を読み出す読出し回路と、該読出し回路に対応した複数のレジスタ段とを有し、パルスが歩進することによって該読出し回路を順次付勢し、これによってラスト走査に対応した有効映像信号を該読出し回路から出力させるシフトレジスタ回路を含む固体撮像装置において、該シフトレジスタ回路を歩進した後のパルス出力を帰線期間遅延させる遅延回路を介して該シフトレジスタ回路のパルス入力端子に入力して巡回させる制御回路を有するものである。

#### 実施例の説明

次に添付図面を参照して本発明による固体撮像装置の実施例を詳細に説明する。

第1図を参照すると、フォトダイオードなどの撮像セル102が1次元アレイに配列されたラインセンサ100が示され、本実施例では384個のセル102を有する。各セル102はスイッチ用MOSトラ

ンジスタ104のソース・ドレイン路を介して共通に信号読出し線124に接続されている。読出し線124は、一方では抵抗108を通してビデオ電源108に、他方では前置増幅器110を通して映像信号出力端子112に接続されている。これらによって映像信号の出力回路が形成されている。

トランジスタ104の各ゲート114はシフトレジスタ(SR)118の対応する段に接続されている。シフトレジスタ118は本実施例では、1水平走査(1H)期間に相当する455段のレジスタ段を有し、そのうち一連の384段がトランジスタ104の駆動に使用され、残りの71段は遅延回路として働くように空送りされる。最終段の出力118が誤動作防止回路200を介してシフトレジスタ118の入力130に接続されて制御回路を構成している。したがって、一連の384段が1H期間中の有効映像期間に対応し、残りの71段が帰線期間に対応する。なお、シフトレジスタ118は巡回シフトレジスタを構成するので、有効映像期間および帰線期間に対応するレジスタ段の順序は実施例のもので限定さ

れない。

シフトレジスタ118は、第2図(A)および(B)に示すように互いに逆相のクロック $\phi$ H1および $\phi$ H2によって駆動され、これらのクロックは発振器(OSC)120によってクロック駆動されるフリップフロップ122から供給される。発振器120の発振周波数は、本実施例では14.318MHzである。

シフトレジスタ118は、制御回路200を通して単一のパルス、すなわち有為の信号「1」が巡回する。誤動作防止回路200は、図示のように3つのワンショットマルチバイブレータすなわちモノマルチバイブレータ(MM)202、204および208を有する。モノマルチ202、204および208はそれぞれ $\alpha$ A、 $\alpha$ Bおよび $\alpha$ Cを有し、その時定数の期間中は再トリガされない方式のものである。時定数 $\alpha$ Aは温度その他のばらつきによる変動を含めて18期間より若干短く設定され、時定数 $\alpha$ Bは温度その他のばらつきによる変動を含めて $\alpha$ A $\times$  $\alpha$ Bが18期間より若干長くなるように設定される。また、時定数 $\alpha$ Cはシフトレジスタ118の1段の歩

進パルス幅と同じでよい。

モノマルチ202の入力210は3入力ORゲート212の出力に接続され、また出力214は、一方ではインバータ218を介してモノマルチ204の入力218に、他方ではモノマルチ208に接続されている。モノマルチ208の出力はシフトレジスタ118の入力130に接続されている。

モノマルチ204の出力220は、一方ではインバータ222を介してORゲート212の1つの入力224に接続され、他方では2入力ANDゲート228の一方の入力に接続されている。このANDゲート228の他方の入力には、前述したシフトレジスタ118の出力118が接続されている。ANDゲート228の出力228はORゲート212の他の入力に結合され、ORゲート212の残りの入力230はマーク接点232を通して接合されている。接点232は、本装置に電源を投入した時に一時的に閉成する常時閉の接点である。

本実施例の動作を第2図および第3図のタイムチャートを参照して説明する。まず本装置に電源

を投入すると(時刻t1)、接点232が一時的に閉成する(第3図(A))。これによってモノマルチ202が時間 $\alpha$ Aだけ出力214を高レベルにし(同図(B))。これによってモノマルチ208も出力130を時間 $\alpha$ Cだけ高レベルにする(同図(D))。モノマルチ208の高レベル出力パルスはリード130を通してシフトレジスタ118に入力され(第2図(C))。その第1段の出力114が第1段のトランジスタ104のゲートを付勢する(同図(D))。これによって撮像セル102の画像信号がトランジスタ104のソース・ドレイン路を通して伝送線124に読み出され、前置増幅器110から出力112に出力される。

シフトレジスタ118のクロック入力128および128にはクロック $\phi$ H1および $\phi$ H2がそれぞれ供給されているので、入力130から入力されたパルスはこのクロックに応動してシフトレジスタ118の各段を順次歩進する(同図(E))。これに応じてトランジスタ104が順次付勢され、撮像セルの画像信号が順次出力112に読み出される。

パルスがシフトレジスタ118の第384段まで歩進すると(同図(E))1水平走査線分の画像信号が出力されたことになる。これで映像期間は終了するが、シフトレジスタ118はさらに歩進動作を続け、このパルスは最終段、すなわち第455段まで歩進し、出力118からパルスが出力される(同図(G)、および第3図(E)時刻t3)。この第385段から第455段までの71段は、水平帰線期間に相当する。

ところでモノマルチ202の時定数 $\alpha$ Aは18期間より短く設定されているので、18期間終了前にその出力214が消勢され、これによってモノマルチ204が駆動される(時刻t2、第3図)。モノマルチ204の時定数 $\alpha$ Bは、前述のように時定数 $\alpha$ Aとの和が18期間を超えるように設定されているので、シフトレジスタ118の出力118のパルスは、通常ならばモノマルチ204の動作期間 $\alpha$ B中に生起することになる。

この $\alpha$ Bの間中はANDゲート228の一方の入力がモノマルチ204によって付勢されているの

で、その間にシフトレジスタ118の出力118から出力されたパルスはこれを通過し、ORゲート212を通過してモノマルチ202を再び駆動する。以降、前述と同じ動作を繰り返し、再び撮像セル102アレイの読出しが行なわれる。なお、期間 $\alpha$ Bが経過すると(時刻t4)モノマルチ204が復旧し、インバータ222を介してモノマルチ202が付勢されるが、これらのモノマルチは再トリガできないタイプのものであるため、モノマルチ202の出力が高レベルにある期間 $\alpha$ Aがこれによって更新されることはない。

ところで第3図(B)の時刻t5に示すように、何らかの原因によりモノマルチ204の時定数 $\alpha$ Bの期間中にシフトレジスタ118から出力118にパルスが出力されないと、期間 $\alpha$ Bの終了(時刻t8)によってモノマルチ204の出力220が立ち下がり、これによってモノマルチ202が駆動される。そこでモノマルチ208が駆動され、シフトレジスタ118の入力130にパルスが入力され、撮像セルアレイの読出し動作が行なわれる。

子に入力して巡回させる制御回路が設けられればよいのである。従って、帰線期間の遅延を行なうための遅延回路としては上述のシフトレジスタ回路に限られることなく同一クロックで駆動される遅延回路であればいかなるものでもよい。

第4図を参照すると、2次元イメージセンサ300を有する本発明の他の実施例が示されている。この実施例ではイメージセンサ300は、撮像セル102が242水平行、384垂直列に2次元に配列されたアレイを構成している。なお、このような素子の数は一例にすぎず、たとえば水平に810素子、垂直に525行の画素配列からなる他の構成であってもよいことは言うまでもない。また、第4図では第1図の実施例と同様の構成要素は同じ参照符号で示され、それが水平走査に関連する回路として用いられているときはその参照符号に添字Hが付加され、垂直走査に関連する回路として用いられているときは添字Vが付加されている。

撮像セル102は、スイッチング用のMOSトランジスタ302のソース・ドレイン路を通して各垂直

また、かりに期間 $\alpha$ B以外の期間に何らかの原因によりパルスがシフトレジスタ118の出力118から出力されたとしても(時刻t7)、ANDゲート228の一方の入力が付勢されていないので、このパルスはこのゲートで阻止され、何ら状態を変化させない。このように本装置によれば、短い時間スロット $\alpha$ B中に出力118に生じたパルスだけが再びシフトレジスタ118に入力され、これを巡回することになる。したがって常に単一のパルスがシフトレジスタ118の各段をシフトし、一時に1つの撮像セル102が読み出される。

以上の説明においては、シフトレジスタ118は、読出し用トランジスタ104を駆動するための1乃至384段のシフトレジスタ段と、帰線期間の遅延を行なうための385乃至455段のレジスタ段を連続して同一素子基板上に形成しているが、これらは、互いに別体に構成してもよい。要は、読出し回路を駆動するためのシフトレジスタ回路を歩進したパルス出力を帰線期間遅延させる遅延回路を介して該シフトレジスタ回路のパルス入力端

列ごとに共通に垂直読出し線304に接続され、垂直読出し線304はトランジスタ104に接続されている。トランジスタ302の各ゲートは、水平行ごとに共通に水平行選択線308によって垂直走査用シフトレジスタ118Vの各段に接続されている。

水平走査用シフトレジスタ118Hは第1図の実施例のものと同じ構成であるが、その第385段目の出力310が取り出され、フリップフロップ312のセット入力Sに接続されている。また、第455段目出力118Hは水平用の制御回路200Hおよびフリップフロップ312のリセット入力Rに接続されている。駆動作防止回路200Hは、第1図に示した駆動作防止回路200と同じである。

垂直走査用シフトレジスタ118Vは、シフトレジスタ118Hと同じ構成でよいが、その段数は本実施例では垂直走査期間すなわち1フィールド(1V)期間に相当する282段である。このうち一連の242段はそれぞれ対応する水平行選択線308に接続されて垂直の映像期間に対応し、残りの第243段から最終段の第282段まではシフトパルスが空送り

される垂直帰線期間に相当する。最終段の出力118Vは制御回路200Vおよびフリップフロップ320のリセット入力Rに接続され、第243段の出力322はフリップフロップ320のセット入力Sに接続されている。

これらのシフトレジスタ118H及び118Vは前述と同様に読出し回路を駆動するレジスタ段と、帰線期間の遅延を行なうレジスタ段が互いに別体になっていてもよく、更に後者はシフトレジスタ以外の遅延回路を用いてもよいことは明らかである。

垂直用の誤動作防止回路200Vは、水平用の誤動作防止回路200Hと同様の構成であるが、モノマルチ202および204の時定数が次のように異なる。すなわち、 $\tau A$ は温度などの諸変動を考慮して1V期間より若干短く、 $\tau B$ は $\tau A + \tau B$ が温度などの諸変動を考慮して1V期間より長くなるように設定されている。これによって、水平シフトレジスタ118Hと同様に常に単一のパルスを垂直シフトレジスタ118V中に遅延させることができる。

回路と基本的に違いはない。垂直走査については、まず電圧を投入したときに、水平走査と同様に誤動作防止回路200Vによって垂直シフトレジスタ118Vの第1段に高レベル信号がセットされる。垂直シフトレジスタ118Vはフリップフロップ312の出力に応動してシフト動作するので、1H期間中、1本の選択線308が駆動される。これによってその水平行のスイッチトランジスタ302が一斉に駆動され、その間、水平選択線114が順次選択されて各スイッチトランジスタ104が順次駆動される。このようにしてその水平行の各撮像セル102から順次画像信号が出力112に読み出される。

第384段目の水平選択線114の駆動が終了すると、このシフトパルスは第385段にシフトされ、その高レベル出力310はフリップフロップ312をセットする(第5図(A),時刻t10)。これによって水平ブランキングパルスHBKが高レベルになり(同図(C))、モノマルチ330および332を駆動する。モノマルチ330および332はそれぞれ同図(D)および(E)に示すような時定数 $\tau 1$ および

また、誤動作防止回路200Vの入力230Vは接点232Hと同様の接点232Vを通して接合されている。なお、これらの接点232Hおよび232Vは本装置の電圧投入時に同時に動作する接点であるが、2つの接点を接続する代りに単一の接点を共通に接続してもよいことは明らかである。

垂直シフトレジスタ118Vのパルス入力には垂直誤動作防止回路200Vの出力130Vが接続され、クロック入力 $\phi V1$ および $\phi V2$ にはそれぞれ、フリップフロップ312のQ出力HBKおよび $\overline{Q}$ 出力 $\overline{HBK}$ が接続されている。クロック入力 $\phi V1$ および $\phi V2$ は垂直シフトレジスタ118Hのクロック入力 $\phi H1$ および $\phi H2$ と同様のクロック入力端子である。

フリップフロップ312のQ出力HBKはまた、モノマルチ330および332にも接続され、これらのモノマルチ330および332の各出力334および338はモノマルチ338および340にそれぞれ接続されている。

第4図の回路は、水平走査に関しては第1図の

$\tau 3$ を有し、これらの時定数に等しい期間だけ遅延の後、モノマルチ338および340が駆動される。モノマルチ338および340はそれぞれ同図(D)および(E)に示すような時定数 $\tau 2$ および $\tau 4$ を有するので、同図にそれぞれ示すクランプパルスCLPおよび水平同期パルスHSYNが形成される。これらのモノマルチやフリップフロップによって、映像信号の形成に必要な様々な制御信号を作成する信号作成回路を構成している。

この間、シフトパルスはシフトレジスタ118Hの第385段から最終段まで順次歩進し、最終段に到達すると出力118Hにパルスが出力される(同図(B),時刻t15)。この間が水平帰線期間である。フリップフロップ312はこの高レベル出力118Hによってリセットされ、これによって同図(C)に示すような水平ブランキングパルスHBKが形成される。

この水平ブランキングパルスは垂直シフトレジスタ118Vの駆動クロックとしても使用されるので、これに応動してシフトレジスタ118Vが歩進



し、次の水平行について同様の読出し動作を繰り返すことになる。

このようにして垂直シフトレジスタ118Vの第242段まで読出し動作が行なわれ、このシフトパルスは第243段に送む。すると第248段の出力322が高レベルになり、フリップフロップ320がセットされる。これによってそのQ出力が高レベルになり、垂直ブランキングパルスVBKが立ち上がる。

垂直帰線期間中も水平シフトレジスタ118Hは巡回シフト動作を繰り返すので、フリップフロップ312を介して垂直シフトレジスタ118Vには歩進クロックが供給される。したがって垂直シフトレジスタ118Vの第243段から最終段にかけてパルスが歩進し、最終段に到達するとフリップフロップ320がリセットされる。したがってフリップフロップ320のQ出力が低レベルになり、垂直ブランキングパルスが出力されたことになる。これで1フィールド分のラスタ走査を完了する。342及び344は垂直ブランキングパルスをそれぞれ所定

の時定数 $\tau_5$ 及び $\tau_8$ だけ遅延させて垂直同期パルスVSTXを形成するためのモノマルチである。

1V期間が完了し、垂直戻動作防止回路200Vのモノマルチ204の時定数 $\tau_8$ の期間中に垂直シフトレジスタ118Vの出力からパルスが出力されるように各モノマルチの時定数が設定されているので、水平シフトレジスタ118Hの場合と同様に常に単一のパルスが垂直シフトレジスタ118Vの中を巡回することになる。

#### 効果

このように本発明によれば、読出し回路を駆動するためのシフトレジスタを用いた巡回制御回路によって駆動パルスを巡回させているので、駆動回路を簡単にすることができる。また、映像信号の処理に必要な種々の制御信号をイメージセンサの駆動走査用のシフトレジスタを使用して形成することができるので、単一の周波数を生ずる発振器のみを用いればよく、特に、2次元イメージセンサを駆動する場合にも更に特別な分周回路を必要としない。

更に、本発明の制御回路に誤動作を防止する回路を設けた場合にはイメージセンサの駆動に用いられるパルスを直接制御することができるのでセンサの信頼性を更に高めることができる。

したがって、比較的簡略な回路構成で同期性雑音がなく、かつ誤動作のない固体撮像装置によって良好な画質の映像信号が得られる。

#### 4. 図面の簡単な説明

第1図は本発明による固体撮像装置の実施例の構成を示すブロック図、

第2図および第3図は第1図の装置の各部に現れる信号波形を示す波形図、

第4図は本発明による固体撮像装置の他の実施例の構成を示すブロック図、

第5図は第4図の装置の各部に現れる信号波形を示す波形図である。

#### 主要部分の符号の説明

- 100, 300. イメージセンサ
- 102. . . 撮像セル
- 110. . . 選択線

- 118. . . シフトレジスタ
- 120. . . 発振器
- 124. . . 読出し線
- 200. . . 誤動作防止回路
- 202. . . モノマルチバイブレータ
- 228. . . ANDゲート
- 304. . . 読出し線
- 306. . . 垂直選択線
- 312, 320. フリップフロップ

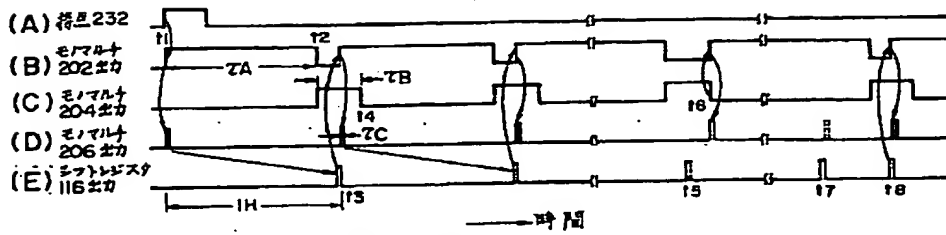
特許出願人 富士写真フイルム株式会社

代理人 香取 孝雄

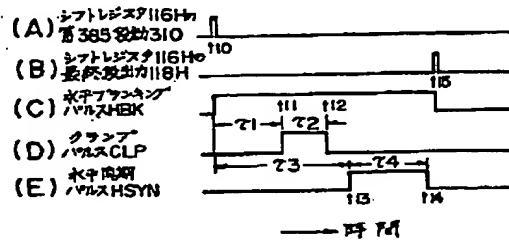




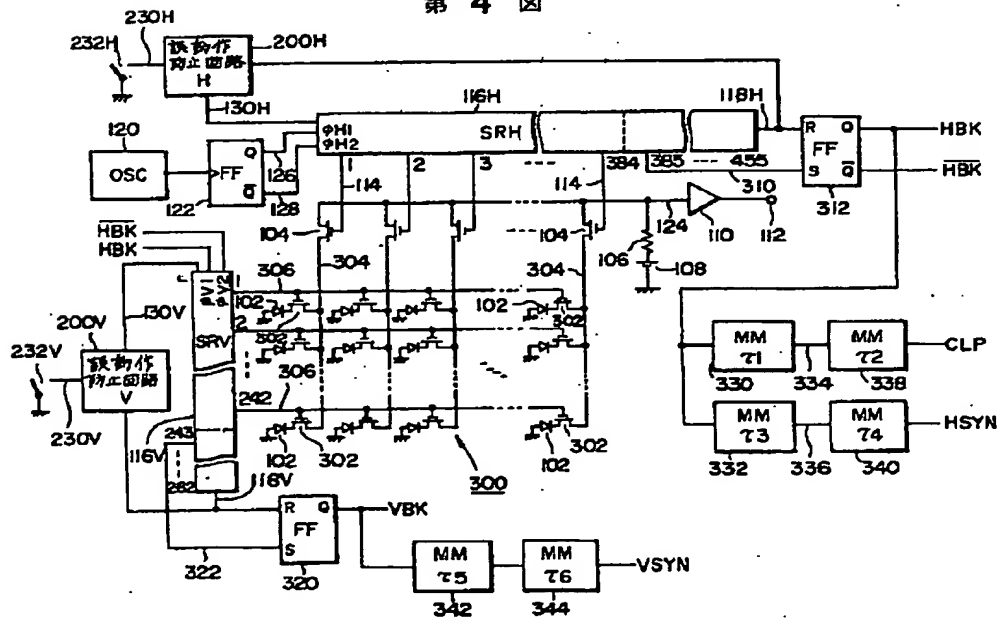
第 3 図



第 5 図



第 4 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**